

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-055059

(43)Date of publication of application : 27.02.1996

(51)Int.Cl.

G06F 12/06

(21)Application number : 08-211744

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 12.08.1994

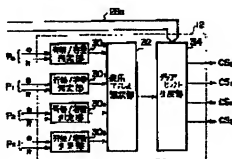
(72)Inventor : HIRANO TOMIHIRO

(54) ADDRESS DECODER AND COMPUTER SYSTEM USING THE DECODER

(57)Abstract:

PURPOSE: To provide an address decoder and a computer system using the decoder with which a memory slot can be automatically switched from an address signal when a memory module is extended.

CONSTITUTION: Signals P0 to P3 to be transmitted from a slot 200 or the like to an address decoder 12 show the presence/absence of memory module in respective slots and the capacity of the existent memory modules. These signals P are transmitted to a presence and absence/capacity deciding part 300 or the like and the presence/absence of memory modules in the respective slots and the capacity of them are decided. This result is transmitted to a using address selecting part 32 and any signal line to be used for selecting the slot is decided from signal lines A23 to A20 of address buses. This result is transmitted to a chip select generating part 34, at this part, the memory module to be selected is decided from the output signal of the using address selecting part 23 and the address signals on A23 to A20, and a correspondent chip select signal is turned to L.



| A23 | A22 | | A23 | A22 |
|-----|-----|-----|-----|-----|
| H | H | 20a | H | H |
| H | L | 20b | H | L |
| L | H | 20c | L | H |
| L | L | 20d | L | L |

特開平8-55059

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl.⁴

識別記号

庁内整理番号

P 1

技術表示箇所

G 0 6 F 12/06

5 1 5 C 7623-5B

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平6-211744

(22) 出願日 平成6年(1994)8月12日

(71) 出願人 000008855

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 平野 富広

東京都千代田区大手町2丁目6番3号 新

日本製鐵株式会社内

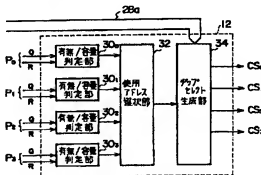
(74) 代理人 弁理士 半田 昌男

(54) 【発明の名称】 アドレスデコード装置及びこれを用いたコンピュータシステム

(57) 【要約】

【目的】 メモリモジュールを増設した場合にアドレス信号から自動的にメモリスロットの切り換えを行うアドレスデコード装置及びこれを用いたコンピュータシステムを提供する。

【構成】 スロット20₀等からアドレスデコーダ12へ送られる信号P₀〜P₃は、各スロットにメモリモジュールの有無及び存在するメモリモジュールの容量を示す。このP信号は有無/容量判定部30等に送られ、各スロットにおけるメモリモジュールの有無及びそれらの容量が判定される。この結果は使用アドレス選択部32へ送られ、アドレスバス20aの信号線A23〜A20のうちスロットの選択に使用するものを決定する。この結果はチップセレクト生成部34へ送られ、ここで使用アドレス選択部32の出力A₂₃及びA₂₀上のアドレスA₂₃から選択すべきメモリモジュールを決定し、対応するチップセレクトA₂₃を1とする。



1

【特許請求の範囲】

【請求項1】 各メモリスロットからそのメモリスロットにおけるメモリの有無及び存在するメモリの記憶容量を示すメモリ有無/容量信号を受け、それぞれのメモリスロットにおけるメモリの有無及びその容量を判定する有無/容量判定部と、

前記有無/容量判定部における結果に基づいて中央処理装置より供給される複数ビットからなるアドレス信号のうち所定のアドレスビットを選択するアドレスビット選択部と、

前記アドレスビット選択部での結果に基づいて前記アドレス信号より選択されたアドレスビットの信号からメモリ選択信号を生成して前記各メモリスロットに供給するメモリ選択信号生成部と、

を具備することを特徴とするアドレスデコード装置。

【請求項2】 前記有無/容量判定部、アドレスビット選択部、及びメモリ選択信号生成部は論理回路から構成されたものであることを特徴とする請求項1記載のアドレスデコード装置。

【請求項3】 請求項1又は2記載のアドレスデコード装置と、

記憶容量を示す信号が発生する手段及びメモリ選択信号を受けたときに読み出し動作及び書き込み動作を可能とする手段を有するメモリモジュールと、

前記メモリモジュールが挿入されているかどうかを検出する手段及び挿入されているメモリモジュールの容量を示すメモリ有無/容量信号を前記アドレスデコード装置に供給する手段を有するメモリスロットと、

前記メモリスロットに挿入されているメモリモジュール及び前記アドレスデコード装置にアドレス信号を供給し、前記アドレスデコード装置からメモリ選択信号が供給されている前記メモリモジュールに対してデータの書き込み及び読み出しを行う中央処理装置と、

を有することを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、中央処理装置（CPU）からのアドレス信号をデコードしてアクセスすべきメモリモジュールを選択するアドレスデコード装置及びこれを用いたコンピュータシステムに関するものである。

【0002】

【従来の技術】 パーソナルコンピュータ等において、ソフトウェアの規模やデータの数を大きくする際に、それまでのメモリに比べて、又はそれまでのメモリに追加して、多数のメモリチップが搭載されたメモリモジュールを増設することが一般的に行われている。この場合、単に物理的なメモリ容量を増やしただけでは、CPUから送られてくるアドレス信号をどのメモリモジュールに割り振るかは決定されないで、使用者の側で設定をし

2

なおさなければならない。このために、例えばハードウェア的にはパーソナルコンピュータ本体に設けられたディップスイッチを切り換えたり、ジャンパーピンを設定したり、また、ソフトウェア的にはコンフィグレーションに関する記述を書き換えてコンピュータに認識させるなどの手続きが必要となる。

【0003】

【発明が解決しようとする課題】 しかしながら、メモリモジュールを増設する際の設定には専門知識が必要とされるため、かかる知識のない者がメモリモジュールを増設することは難しい。また、専門家であっても、メモリモジュールを増設するたびに煩わしい設定作業が必要になるというのは好ましくない。更に、設定の際に人間が介在することになると、設定ミスが発生する可能性もあり、そのような場合にはCPUが暴走するおそれがある。

【0004】 本発明は上記事情に基づいてなされたものであり、メモリモジュールを増設した場合にアドレス信号から自動的にメモリモジュールの選択信号の切り換えを行うアドレスデコード装置及びこれを用いたコンピュータシステムを提供することを目的とするものである。

【0005】

【課題を解決するための手段】 上記の課題を解決するために請求項1記載の発明であるアドレスデコード装置は、各メモリスロットからそのメモリスロットにおけるメモリの有無及び存在するメモリの記憶容量を示すメモリ有無/容量信号を受け、それぞれのメモリスロットにおけるメモリの有無及びその容量を判定する有無/容量判定部と、前記有無/容量判定部における結果に基づいて中央処理装置より供給される複数ビットからなるアドレス信号のうち所定のアドレスビットを選択するアドレスビット選択部と、前記アドレスビット選択部での結果に基づいて前記アドレス信号より選択されたアドレスビットの信号からメモリ選択信号を生成して前記各メモリスロットに供給するメモリ選択信号生成部と、を具備することを特徴とするものである。

【0006】 請求項2記載の発明になるコンピュータシステムは、前記有無/容量判定部、アドレスビット選択部、及びメモリ選択信号生成部は論理回路から構成されたものであることを特徴とする請求項1記載のアドレスデコード装置。

【0007】 請求項3記載の発明になるアドレスデコード装置は、請求項1又は2記載のアドレスデコード装置と、記憶容量を示す信号が発生する手段及びメモリ選択信号を受けたときに記憶動作及び書き込み動作を可能とする手段を有するメモリモジュールと、前記メモリモジュールが挿入されているかどうかを検出する手段及び挿入されているメモリモジュールの容量を示すメモリ有無/容量信号を前記アドレスデコード装置に供給する手段を有するメモリスロットと、前記メモリスロットに挿入さ

れているメモリモジュール及び前記アドレスデコード装置にアドレス信号を供給し、前記アドレスデコード装置からメモリ選択信号が供給されている前記メモリモジュールに対してデータの書き込み及び読み出しを行う中央処理装置とを、有することを特徴とするものである。

【0008】

【作用】請求項1記載の発明は前記の構成により、アドレスデコード装置は、各メモリスロットからそのメモリスロットにおけるメモリの有無及び存在するメモリの記憶容量を示すメモリ有無／容量信号を受けることにより、どこのスロットにどれだけの容量のメモリモジュールが挿入されているかを認識できる。アドレスビット選択部は、メモリ有無／容量信号に基づいて行われた有無／容量判定部での判定結果に基づいて所定のアドレスビットを選択する。メモリ選択信号生成部はこの選択結果と選択されたアドレスビットとによってアクセスすべきメモリスロットを判断し、このメモリスロットに挿入されているメモリモジュールを選択するためのメモリ選択信号を生成する。

【0009】請求項2記載の発明は、上記作用に加え、有無／容量判定部、アドレスビット選択部、及びメモリ選択部は、メモリ有無／容量信号に基づいて行われた有無／容量判定部での判定結果に基づいて所定のアドレスビットを選択する。メモリ選択信号生成部はこの選択結果と選択されたアドレスビットとによってアクセスすべきメモリスロットを判断し、このメモリスロットに挿入されているメモリモジュールを選択するためのメモリ選択信号を生成する。

【0010】請求項3記載の発明は、請求項1又は2記載のアドレスデコード装置を有することにより、中央処理装置がメモリに対してアクセスすると、そのアドレスに及びメモリスロットからの有無／容量信号に応じてアドレスデコード装置がメモリモジュールが挿入されているメモリスロットを自動的に認識し、メモリ選択信号を所定のメモリモジュールに供給する。したがって、あとからメモリモジュールを増設した場合に使用者の側では特別な設定を行う必要はない。

【0011】

【実施例】以下に図面を参照して本発明の実施例について説明する。図1は一つのメモリモジュールを示した図、図2は本発明のアドレスデコード装置を用いたコンピュータシステムの一例の部分ブロック図である。

【0012】図1のメモリモジュール10は、例えば複数のDRAMやSRAMが搭載されてモジュール化されたパッケージからなり、このパッケージの端子をコンピュータのメイン基板に設けられたスロットに容易に挿入できるような構成されている。たとえばコンピュータのメモリ容量が足りなくなった場合には、既にあるメモリモジュールをスロットから引き抜いて、記憶容量のより大きなメモリモジュールを挿入したり、又は既にあるメモリモジュールに加えて別のメモリモジュールを追加することにより、簡単にメモリ容量を大きくすることができ

る。

【0013】以下、本実施例では、メモリモジュール1

0がSRAMからなる場合について説明する。メモリモジュール10は、図1に示すように、メモリ選択信号であるチップセレクト信号が供給される入力端子パーCS、読み出しを指示する信号が供給される端子パーRD、書き込みを指示する信号が供給される端子パーWR、アドレス信号が入力されるアドレス入力端子AD、データの読み出し又は書き込みが行われるデータ入出力端子Dを有する。ここでチップセレクト信号、読み出し信号、書き込み信号はそれぞれ良論理とする。この他に、モジュール10は出力端子パーQを有している。この出力端子パーQからは、そのモジュールの記憶容量を示す信号（パーQ信号という）が出力される。尚、記号パーCS及びパーQは、また、それぞれチップセレクト信号及びパーQ信号も示すものとす。

【0014】図2に示す回路は、本発明の一実施例であるアドレスデコード装置2を用いて構成したコンピュータシステムの一部であり、アドレスデコード装置2の他、CPU14、メモリブロック16、アドレスバッファ18、及びこれらをつなぐ各種信号線からなる。図2の回路において、メモリブロック16にはn個までのメモリモジュール10を挿入できるような専用のメモリスロット20。～20n-1が設けられている。これらのスロットとアドレスデコード装置2との間には、チップセレクト信号パーCS_i、～パーCS_{n-1}をやりとりするためのn本の信号線22で接続されている。どのスロットに挿入されたメモリモジュールが選択されるかは、アドレスデコード装置2からメモリブロック16へ送られるこのチップセレクト信号パーCS_i、～パーCS_{n-1}として伝えられる。

【0015】スロットとアドレスデコード装置2との間には、更に、前記のパーQ信号をやりとりするためのn本の信号線24、及び各スロットにメモリモジュールが挿入されたこと、すなわちメモリモジュールの存在を示す信号（パーR信号という）を送るためのn本の信号線26で接続されている。信号線24は、スロットにメモリモジュールが挿入されていない状態ではプルアップされている。信号線24が2本の場合には、Q₁、Q₂がそれぞれ「0」、「1」のときは1MBが接続されていることを示し、「0」、「1」のときは4MBが接続されていることを示し、「1」、「0」のときは16MBが接続されていることを示す。尚、Q₁、Q₂はもともとプルアップされているので、この二本の信号線で識別できる容量はこの三つに限られる。信号線26は、スロットにメモリモジュールが挿入されていない状態ではプルアップされているが、対応するスロットにメモリモジュールが挿入されると強制的にロー（L）となるよう構成されている。これにより、アドレスデコード装置2はどのスロットにメモリモジュールが存在するかを認識できる。この存在を示すパーR信号と前記のパーQ信号とを併せてパーP信号と呼ぶ。このパーP信号はメモリ有無

／容量値となる。

【0016】アドレスバス28は、CPU14がメモリブロック16にアクセスする際にそのアドレスを指定するための信号線であり、そのビット数（信号線の数）mはメモリブロック16全体のメモリのアドレスを指定できる数である。アドレスバス28のうち上位kビットのバス28aはアドレスデコーダ12へも接続されている。メモリブロック16のスロットにメモリモジュール10が挿入されると、そのメモリモジュールからは、アドレスデコーダ12に対して前述のバーP信号が送られる。アドレスデコーダ12は、このバーP信号とアドレスバス28aからの信号に基づいて所定の演算を行い、どのモジュールを選択するかを決定する。そして選択したメモリモジュールに対応するチップセレクト信号（バーCS_i、～バーCS_n）をLとする。

【0017】本実施例では、アドレスデコーダ12を設けることによって、メモリブロック16のスロットに挿入されている複数のメモリモジュール全体を一つのメモリとして取り扱うことができる。また、挿入するメモリモジュールをメモリブロック16の任意のスロットに挿入しても、これをCPU14が連続したメモリ領域として認識してアクセスできる。しかもその際に、どのスロットに挿入したのか、また挿入したメモリモジュールの容量がいくらかであるかについて、オペレータの側で特別な設定を行う必要はない。この点について、以下に図2のアドレスデコーダ12を簡略化した機能ブロック図として示した図3及びメモリモジュールを4つまで挿入できるメモリブロックを示す図4を参照して説明する。

尚、図3及び図4では、メモリモジュールの容量は1MB又は4MBのいずれかであるとして説明する。

【0018】図3のバーP₁、～バーP₄は、それぞれ図4のスロット20₁、～スロット20₄からのバーP信号を示す。図4に示すメモリブロック16には4つのスロット20₁、～20₄があり、各スロットに1個ずつ、合計4個までのメモリモジュールを挿入できる。また、各*

*スロットとアドレスデコーダ12とを結ぶチップセレクト信号線をバーCS₁、～バーCS₄とする（バーCS₁、～バーCS₄はまた、それぞれのチップセレクト信号も示すものとする）。各バーP信号は、前記のように、どのスロットにメモリモジュールが存在するか、及びそのモジュールの容量が1MB又は4MBのうちのいずれであるかを示している。

【0019】各メモリスロットからのバーP信号は、図3においてまずモジュールの有無及びその容量を判定する有無／容量判定部30。～30₄に送られ、ここでバーP₁、～バーP₄からスロット20₁、～スロット20₄におけるメモリモジュールの有無及びそれらの容量が1MB又は4MBのいずれであるかが判定される。この判定結果は使用アドレス選択部32へ送られ、ここで、アドレスバス28aの信号線A23～A20のうちの信号線をスロットの選択に使用するかを決定する。この結果はチップセレクト生成部34へ送られる。チップセレクト生成部34では、使用アドレス選択部32の出力信号及び信号線A23～A20上のアドレス信号から選択すべきモジュールを決定し、その結果に基づいてメモリブロック16の各スロットに接続されているチップセレクト信号（バーCS₁、～バーCS₄）のうち、選択したメモリモジュールが挿入されているスロットに対応するチップセレクト信号をLとする。

【0020】図3に示すアドレスデコーダ12の動作、すなわち入力であるバーP信号の内容及び信号線A23～A20の信号と出力であるバーCS₁、～バーCS₄との関係は、ブール代数式を用いて簡単に表すことができる。このうち、チップセレクトバーCS₁、及びバーCS₁に関する部分のブール代数式は、次式のようになる。但し、次式において、!は否定（NOT）、&は論理積（AND）、#は論理和（OR）を示し、また（x ≤ アドレス ≤ y）はアドレスがx以上y以下の値（hは16進表記）であることを示すものとする。

$$\begin{aligned} !CS_1 = & (\text{スロット20}_1 \text{にモジュールが存在する}) \& \\ & \{ (\text{スロット20}_1 \text{の容量が1MB}) \& (0h \leq \text{アドレス} \leq 0F \\ & FFFFh) \\ \# & (\text{スロット20}_1 \text{の容量が4MB}) \& (0h \leq \text{アドレス} \leq 3F \\ & FFFFh) \} \end{aligned}$$

... (1)

$$\begin{aligned} !CS_1 = & (\text{スロット20}_1 \text{にモジュールが存在する}) \& (\text{スロット20}_1 \text{にモジュールが存在する}) \& \\ & \{ (\text{スロット20}_1 \text{の容量が1MB}) \& \\ & \{ (\text{スロット20}_1 \text{の容量が1MB}) \& (100000h \\ & \leq \text{アドレス} \leq 1FFFFFh) \\ \# & (\text{スロット20}_1 \text{の容量が4MB}) \& (100000h \\ & \leq \text{アドレス} \leq 4FFFFFh) \} \\ \# & (\text{スロット20}_1 \text{の容量が4MB}) \& \\ & \{ (\text{スロット20}_1 \text{の容量が1MB}) \& (400000h \end{aligned}$$

$\leq \text{アドレス} \leq 4\text{FFFFFFh}$
 # (スロット20, の容量が4MB) & (400000h
 $\leq \text{アドレス} \leq 7\text{FFFFFFh}$) } }
 # (スロット20, にモジュールが存在せず) & (スロット20, にモ
 ジュールが存在する) &
 { (スロット20, の容量が1MB) & (0h \leq アドレス
 $\leq 0\text{FFFFFFh}$) }
 # (スロット20, の容量が4MB) & (0h \leq アドレス
 $\leq 3\text{FFFFFFh}$) }

・・・ (2)

【0021】式(1)及び式(2)はそれぞれ、信号パ
 ーの示す内容が右辺の関係を満たしている場合に、そ
 の左辺のチップセレクトバーCS。又はバーCS。が動
 作状態(L)になることを示す。ここでは省略するが、
 バーCS。及びバーCS。についても式(1)及び式
 (2)と同様の式を容易に求めることができる。

【0022】式(1)はチップセレクトバーCS。がL
 になるための条件式である。スロット20。にモジュ
 ールが挿入されていない場合バーCS。がLになることは
 ないので、同式の右辺において「(スロット20。にモ
 ジュールが存在する)」の部分と、これ以降の部分とは
 &で結ばれている。また、そのあとの最初の括弧[]内
 は、スロット20。に1MBのメモリモジュールが挿入
 されており、かつ、CPUからアクセスされているアド
 レスが0hから0FFFFFFhまで(1MB以内の範
 囲)であることを示している。そして次の括弧[]内
 は、スロット20。に4MBのメモリモジュールが挿入
 され、かつ、CPUからアクセスされているアドレスが
 0hから3FFFFFFhまで(4MB以内の範囲)であ
 ることを示している。

【0023】式(2)はチップセレクトバーCS。がL
 になるための条件式である。この式の右辺の前半(右
 側の1行目から2行目まで)は、スロット20。にメモ
 リモジュールが挿入されており、かつ、スロット20。
 にもメモリモジュールが挿入されている場合であり、ス
 ロット20。に挿入されているメモリのアドレスが低位
 のアドレスとなり、スロット20。に挿入されているメモ
 リのアドレスが高位のアドレスとなる。

【0024】式(2)の右辺の後半(右辺の13行目か
 ら18行目まで)は、スロット20。にメモリモジュ
 ールが挿入されないで、スロット20。のみにメモリモ
 ジュールが挿入される場合の条件を示す。このため式

(2)後半の「(スロット20。にモジュールが存在せ
 ず)」以下の式は、式(1)の「(スロット20。にモ
 ジュールが存在する)」以下の式と同様の式となる。式
 (1)及び式(2)を併せて考えると分かるように、メモ
 リモジュールを一つだけ挿入する場合には、メモリモ
 ジュールをスロット20。に挿入してもよいし、スロッ
 ト20。に挿入してもよい。

【0025】上では省略したが、実際にはバーCS。及

びバーCS。についても式(1)及び式(2)と同様の
 式が得られ、これらを総合して考えると、4つあるスロ
 ットにメモリモジュールを一つだけ挿入するときは任意
 のスロットに挿入することが可能となる。また、複数の
 メモリモジュールを挿入する場合には、その順序を問わ
 ない。

【0026】以上の議論を図4に示した具体例を用いて
 説明する。使用できる各メモリモジュールの容量は、簡
 単のために、1MB又は4MBのいずれかとし、1ワード
 を1Bとする。また、図2のアドレスバス28をA2
 3～A0の24ビット、アドレスバス28aをこのうち
 A23～A20の上位4ビットとする。

【0027】このようにすると、スロット20。～スロ
 ット20。に挿入されるメモリモジュールが1MBの場
 合、各スロットはアドレスビットA23～A20のうち
 A21及びA20の2ビットによって指定される。ま
 た、スロット20。～スロット20。に挿入されるメモ
 リモジュールが4MBの場合、各スロットはアドレスビ
 ットA23～A20のうちA23及びA22の2ビット
 によって指定される。例えば、スロット20。からスロ
 ット20。まで順番に1MBの4つのメモリモジュール
 が挿入された場合には、各スロットに対応するアドレ
 スビットA21及びA20の論理値は図4の右側に示すよ
 うになる。同様にスロット20。からスロット20。ま
 で順番に4MBの4つのメモリモジュールが挿入され
 た場合の各スロットに対応するアドレスビットA23及び
 A22の論理値は図4の左側に示すようになる。

【0028】これに対して、例えばスロット20。だけ
 に1MBのメモリモジュールが挿入され、その他のスロ
 ットにはメモリモジュールが挿入されていない場合に
 は、スロット20。に対応するアドレスビットA21及
 びA20の論理値は、それぞれL、Lとなる。そして、
 例えばスロット20。に更に1MBのメモリモジュ
 ールを追加した場合には、スロット20。に対応するアド
 レスビットA21及びA20の論理値は、それぞれL、H
 となる。したがって挿入されるスロットは不連続であ
 っても、メモリ空間のアドレス領域は、スロット20。
 に挿入されたメモリモジュールとスロット20。に挿入
 されたメモリモジュールとの間で連続となる。このよ
 うに、任意のスロットにメモリモジュールが挿入された場

合でも、CPUはそのメモリモジュールにアクセスでき、また、連続しない複数のメモリスロットにメモリモジュールが挿入された場合でも、CPU側から見ると、一つの連続したメモリ領域として認識される。

【0029】したがって、例えばより多くのメモリを必要とするソフトウェアを実行するために一旦コンピュータの電源を落として、新たなメモリモジュールをいずれかのスロットに挿入して電源を投入し、このソフトウェアを実行したとする。この実行中にCPUから従来のメモリ容量を越えるアドレスの指定がなされるとすると、新たに挿入されたメモリモジュールがどのスロットにあるかに関わらず、アドレスデコーダは新たに挿入されたメモリモジュールを認識してアドレス信号通りに新たなメモリモジュールに対してデータの読み出し及び書き込みを行う。

【0030】図5は、実際のコンピュータにおいて、挿入するメモリモジュールの容量及びメモリモジュールを挿入するスロットの位置を変更した場合の、全体のメモリマップの変化の様子を示した図である。同図(a)は、スロット1とスロット2にそれぞれ1MBのメモリモジュールが挿入され、スロット0にはメモリモジュールが挿入されない場合である。このときは、チップセレクト信号 $\overline{\text{P}}\text{CS}_1$ 及び $\overline{\text{P}}\text{CS}_2$ がLとされたスロット1及びスロット2のみが選択され、0000hから1FFFhまでが連続したメモリ領域として認識される。

【0031】このあと、コンピュータの電源を落としてスロット1、スロット2、及びスロット4にそれぞれ4MBのメモリモジュールを挿入し、それ以外のスロットにはメモリモジュールを挿入しないで、再びコンピュータの電源を立ち上げたとする。この場合、チップセレクト信号 $\overline{\text{P}}\text{CS}_1$ 、 $\overline{\text{P}}\text{CS}_2$ 、 $\overline{\text{P}}\text{CS}_4$ のみがLとされ、これらのスロットに挿入された4MBのメモリ3つによって、0000hからBFFFhまでの連続した12MBのメモリ領域が形成される。

【0032】このように、本実施例では、メモリモジュールを挿入するスロットが予め規定しておらず、任意のスロットからメモリモジュールを挿入して増設することができる。しかもその際、どのスロットにどのくらいの容量のメモリモジュールを挿入したかについてオペレータがCPUに指示したり、あるいは何らかの設定を行うという作業は不要となる。そしてその場合でも、CPU14は、それぞれのメモリ空間に対し連続したアドレスとしてアクセスすることができる。また、設定ミスなどによって人間が介在することによって発生するエラーを未然に防止できる。

【0033】図2のアドレスデコーダ12は、式(1)及び式(2)に示すような論理動作を行うよう構成された論理回路である。このような回路はPLA、EPLD、FPGA、ゲートアレイなどのカスタムICなどに

よって容易に構成することができる。また、式(1)及び式(2)等の論理動作は、論理回路によるハードウェアで実現できるだけでなく、ソフトウェア的に上記のような機能を果たすプログラムを組むことによっても可能である。

【0034】ところで、実際に使用される増設メモリモジュールの規格として「SIMM(Single In-Line Memory Module)」というものが知られている。これはDRAMを用いたメモリモジュールのための規格であるが、この規格に合致したメモリモジュールには、プレゼンシディテクト(PD)ピンという信号ピンが設けられ、ここからPD信号が出力される。このPD信号は、本来、メモリチップのアクセス速度を示すための信号であるが、記憶容量が異なるメモリからは異なる内容のPD信号が出力される。したがって、アクセス速度が同一のメモリを用いる場合には本来の役割であるPD信号は不要となる。そこで、このPD信号を図2又は図3において説明したP $\overline{\text{P}}$ 信号として用いることができる。このようにすれば、従来からあるメモリモジュールを有効に活用することができる。

【0035】尚、本発明は上記の実施例に限定されるものではなく、その変形の範囲内で種々の変形が可能である。例えば、上では現在現在SIMMに使用されているSIMM規格に基づいてメモリモジュールを使用できることについて説明したが、記憶容量を示す信号を発生するモジュールであれば、どのようなものでも使用可能である。また、メモリモジュールを構成するRAMは、SRAMだけでなくDRAMなども使用できる。その場合には、モジュールを構成する際にそのモジュールの容量を示す信号を発生する手段を設ける。メモリモジュールの容量は1MB、4MBには限らず、8MB、16MBなど、挿入する数及びCPUがアクセスできるアドレス空間の大きさなどに基づいて任意の容量とすることができ、スロットの数も上記実施例の4つには限らず、任意の数とすることができる。

【0036】

【発明の効果】以上説明したように請求項1記載の発明によれば、メモリ有無/容量信号及び選択されたアドレスビットによってメモリが存在するメモリスロットのメモリ選択信号を自動的に生成して当該メモリスロットに供給するので、メモリモジュールを新たに増設した場合であっても使用者の側でジャンパーピンやディップスイッチの設定等の作業を行う必要がなく、取扱いが簡単になるので、専門的な知識がない者がメモリモジュールを増設した場合であっても設定ミスなどを生じることのないアドレスデコード装置を提供することができる。

【0037】請求項2記載の発明は、上記効果に加え、更に、前記有無/容量判定部、アドレスビット選択部、及びメモリ選択信号生成部を一般的な論理回路から構成できるので、例えばゲートアレイ、PLA、EPLD、

FPGAなどの素子を用いて簡単に必要な論理回路を構成できるアドレスデコード装置を提供することができる。

【0038】請求項3記載の発明は、メモリモジュールを増設した場合に使用者の側で何らかの設定作業を行う必要は全くないため取扱いが容易となり、増設メモリに関する専門的な知識は必要ないものでも簡単にメモリモジュールを増設して記憶容量を大きくできるコンピュータシステムを提供することができる。

【図面の簡単な説明】

【図1】一つのメモリモジュールを示した図である。

【図2】本発明のアドレスデコードを用いたコンピュータシステムの一例の部分ブロック図である。

【図3】本発明のアドレスデコードの一例の機能ブロック図である。

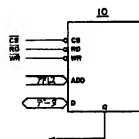
【図4】メモリモジュールを挿入したメモリブロックの構成を模式的に示した図である。

* 【図5】スロットに挿入するメモリモジュールの場合のメモリマップの変化の様子を示す図である。

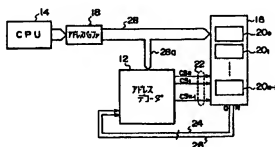
【符号の説明】

- 10 メモリモジュール
- 12 アドレスデコーダ
- 14 中央処理装置 (CPU)
- 16 メモリブロック
- 18 アドレスバッファ
- 20a ~ 20i メモリスロット
- 22 チップセレクト信号 (CS) 線
- 24 Q信号線
- 26 R信号線
- 28, 28a アドレスバス
- 30a ~ 30i 有無/容量判定部
- 32 使用アドレス選択部
- 34 チップセレクト生成部

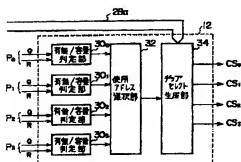
【図1】



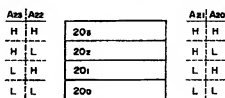
【図2】



【図3】



【図4】



(8)

特開平8-55059

【図5】

